디지털회로 설계 과제1

<인버터 회로 설계로부터 반도체가 생산되는 과정에 관한 조사>

20161453 전자공학과

김규래

1. 완성된 디자인에서 GDSII까지

HDL을 통하여 다수의 시뮬레이션을 거치고 인버터 회로에 대한 설계가 완성되면, ASIC Synthesizer를 통해 HDL코드는 Gate level netlist로 변환된다.

현재 시장에서는 Synopsys Design Compiler, Cadence BuildGates, Cadence RTL Compiler Ultra 등의 ASIC Synthesizer 제품들이 나와있다. 각 제품마다 다양한 장단점들이 있다. Synopsys Design Compiler 가 가장 흔하게 사용되고 있으나, 사용과 성능면에서 Cadence RTL Compiler Ultra가 더 우세하다. 현재의 상황에서 굳이 검증된 것을 사용할 필요가 없는 만큼 Cadence RTL Compiler Ultra를 사용하는 것으로 하겠다.

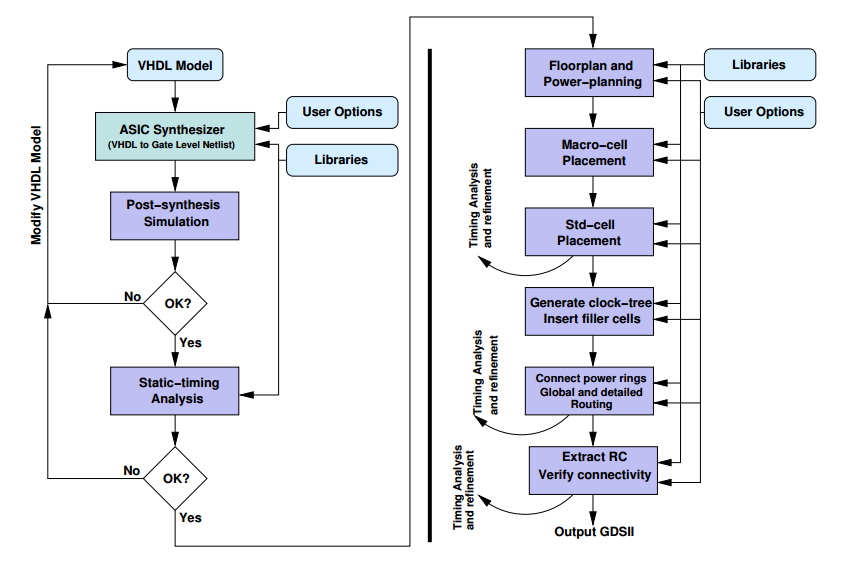


Figure 1

Cadence RTL Compiler Ultra로 출력된 netlist로 Place & Route작업을 통해 물리적인 설계를 완성한다. 이 작업을 위한 툴들로는 Synopsys Apollo, Cadence Silicon Ensemble Family 등이 있다. 이전에 우리는 Cadence의 Synthesizer를 사용했기 때문에 사용의 편의를 위해 성능이 좋지 못하지만 Cadence Silicon Ensemble Family를 사용한다고 하겠다. 현재 만들려는 것은 CMOS 인버터가 단 하나만 들어가는 칩이다. 따라서 한 인버터 회로가 차지할 수 있는 면적이 상대적으로 여유로운 만큼 Cadence의 제품들로 툴들을 통일시키는 것의 편의성을 더 중요시 하는 걸로 하겠다. Place & Route를 과정을 거치면 결과물은 GDSII 라는 형식의 벡터 그래픽 도면으로 나온다.

<Figure 1>은 현재까지의 과정을 도표로 나타낸 것이다.

1. 산화물, 질화물 막 형성

GDSII 설계도면을 바탕으로 반도체 생산 공정에 들어가게 된다. 조사과정에서 사용한 자료를 따라 90nm 생산공정을 사용한다고 가정하겠다. 이는 올해 공개될 예정인 10nm 생산공정에 비하면 굉장히 구식기술임에는 의심의 여지가 없다. 하지만 인버터가 하나만 들어가는 칩을 설계하는 만큼 소형화가 크게 중요하지 않은 회로를 생산하는 것을 가정하고 있다. 따라서 생산단가가 더 적은 90nm 기술로 생산을 한다고 가정하겠다.

90nm 생산 공정에서는 300mm wafer를 사용한다[[1]](#footnote-1). Wafer 는 고온의 화로에서 silicon dioxide, silicon nitride 막을 형성하는 과정을 거치게 된다. 한 자료에 따르면 400정도의 온도에서 공정 결과물의 질이 좋고 공정비용이 적다고 한다[[2]](#footnote-2). 따라서 400의 온도에서 silicon dioxide, silicon nitride 막을 wafer위에 형성시켰다고 하겠다.

<Figure 2> 는 공정에서 사용되는 화로의 모습이다.

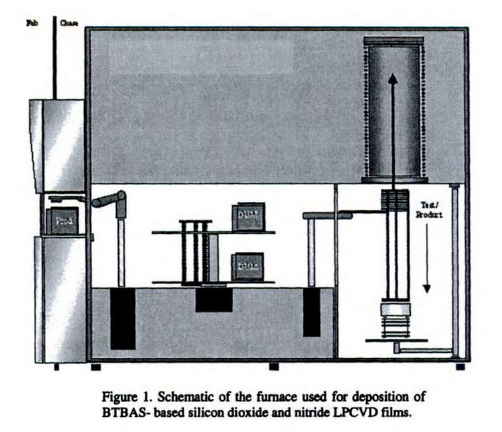


Figure 2

1. Photoresist 코팅

산화물막, 질화물막 위에 적외선에 반응하는 물질인 photoresist를 코팅한다. 1200~4800rpm의 속도로 wafer를 회전시키면 photoresist 물질이 웨이퍼 밖으로 밀려나면서 photoresist 코팅의 두께가 점점 얇아진다. 희망하는 막의 두께가 달성될 때까지 회전을 시키면 된다.

Photoresist로, 참고한 자료들 중에 MicroChemicals사의 AZ nLOF 2000 제품을 사용한다고 가정하겠다. 이 때 제조사는 해당제품에 20를 권장하고 있으며, 3000rmp 으로 40분간의 회전으로 이 두께를 달성할 수 있다.

Figure 3

스핀 코팅 작업이 끝나고 나면 약 20~30분간 실온에서 작업에 사용되는 용액이 증발할 것을 기다린다. 그 후 1min/ 단위로 100에 Softbake 작업을 하는데, 현재 사용하고 있는 설정에 의하면 10분간 100에 wafer를 굽는다.

<Figure 3>는 코팅과정에서 사용하는 스피너의 모습이다.

1. Photoresist 코팅 노출

Photoresist 코팅을 적외선에 노출시키면 노출된 부분은 변성이 발생한다. 이 변성은 마스크를 통해서 노출되는 부위들이 조절되는데, <1>과정에서 만들어진 GDSII 도면을 토대로 마스크를 만들게 된다. 마스크는 투명한 quartz에 크롬도금을 하여 만든다.

Stepper라는 장비를 사용하여 wafer가 적외선에 노출되는 작업을 하게 되는데, 현재는 scanner 라는 장비를 더 흔히 사용한다. 이전에 90nm 기술을 사용하는 것으로 가정을 했기 때문에 더 구식인 stepper를 사용하는 것으로 하겠다. 90nm 공정에서는 krypton-fluoride 레이저를 사용하여 248nm 파장의 적외선을 발생시키는 stepper를 사용한다. <figure 4>는 이 과정에서 사용되는 stepper이다.

Figure 4

1. Development, Etching

이전에 AZ nLof 2000이라는 photoresist를 사용하겠다고 했는데, 이는 negative photoresist이다. Negative photoresist에 developer 용액을 뿌리게 되면 적외선에 노출되지 않았던 부분들이 제거된다. 현재 사용하는 제품에서 제조사가 권장하는 developer는 NMP-free TechniStrip NI555 제품이다. 이 제품을 사용하여 development를 한다.

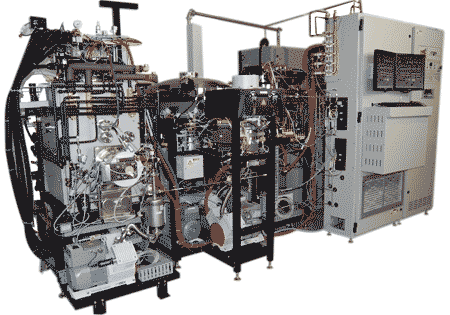
Plasma dry etch system을 이용하면 development과정에서 노출된 부분들이 에칭된다. 이 과정에서 Physical etching과 Chemical etching, Reactive ion etching, Deep reactive ion etching등의 방법들이 있다. 편의를 위해 삼성이 특허를 출원한 dry etching 기술[[3]](#footnote-3)을 사용한다고 가정하면 Physical Etching을 이용하는 것이 된다. 이 시스템을 사용하면 RF 파워소스로부터 전기장이 형성되고, 반응성 가스와 이 전기장의 영향으로 플라즈마가 형성된다. 이 플라즈마 이온들이 Wafer 위의 막과 반응을 하면서 막이 분해된다. <figure 5>는 삼성에서 사용하고 있는 Triassic사의 에칭시스템이다.

Figure 5

1. Ashing, Cleaning

잔여 photoresist 제거 작업인 ashing은 high temperature ashing과 stripping으로 나뉜다. 이 과정은 Etching과는 다르게 고온에서 이루어지며 일부 물질에만 선택적으로 작용하게 된다. 유기물들의 경우 분해과정에서 이산화탄소와 증기가 발생하며 무기물들은 Ash라고 부르는 물질로 변형된다. Etching과는 다르게 잔여물질들이 발생하는 것이다. <Figure 6>은 ashing에 사용되는 Asher의 모습이다.

Figure 6

Ashing 이후에는 용액에 담겨서 잔여 물질들을 제거하는 cleaning을 한다.

1. Isolation

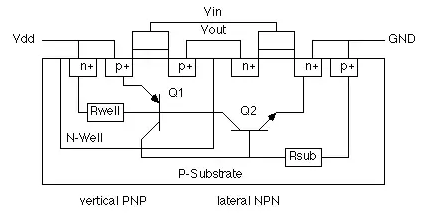
<Figure 7>을 참고할 때, 반도체의 구동 과정에서 TR을 스위칭하는 순간 전류 스파이크가 발생한다. 이런 경우에 대량의 전류 누설이 발생한다. 이를 방지하기 위해 절연(Isolation)을 사용한다.

Figure 7

이전까지는 Local Oxidation of Silicons(LOCOS) 기술을 사용하였는데 현재는 Shallow Trench Isolation기술이 사용되는 만큼 Shallow Trench Isolation을 기준으로 하겠다.

이전의 과정에서 형성된 Trench에 Chemical vapor deposition을 사용하여 oxide를 주입한다. Chemical vapor deposition(CVD)과정은 고체물질을 정밀하게 형성시키기 위해 사용하는 기술인데, 현재 공정에서는 Plasma-Enhanced CVD을 사용하는 것을 가정하였다. 이 뒤에 Chemical Mechanical Polishing을 통해 wafer를 평탄화한다.

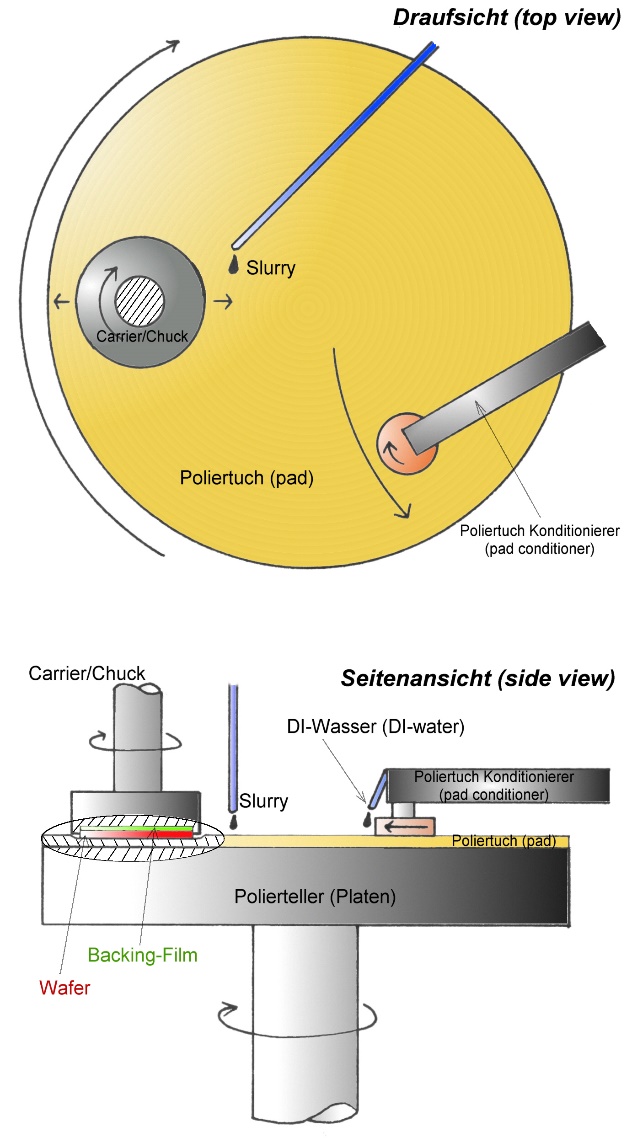
CMP공정에서는 일반적으로 colloid라는 물질이 사용되며 이 물질이 pad라고 부르는 평면에 계속 뿌려지는 동시에 회전을 하며 wafer를 회전 및 마찰시킨다. <Figure 8>은 평탄화 작업을 도표로 나타낸 것이다.

Figure 8

1. Gate Formation

CVD를 사용하여 polysilicon막을 wafer 위에 형성시킨다. Gate들이 생길 곳에 ion implatation과정을 통해 gate resist pattern을 마스크로 설치한다.

Figure 9

Ion implantation은 이온 소스로부터 자기가속기를 통해 이온들을 가속시킨 다음 지정한 장소에 충돌시키는 것이다. <Figure 9>은 ion implantation 장비의 모습이다.

이후 polysilicon과 gate oxide film을 에칭하면 gate들이 형성된다.

1. Contact Formation

CVD를 통해서 내부에 oxide로 이루어진 intermetal dielectric film을 형성시킨다. CVD로 oxide를 얹는 동시에 지속적으로 평탄화 작업을 거친다. Oxide 레이어들을 올리면 레이어의 패턴으로 인해 구멍들이 형성되는데, 이 구멍들은 또다시 CVD를 통해서 metal film으로 채워지고 CMP로 평탄화한다.

이 과정을 지속적으로 반복하면 다수 계층의 내부도선들이 형성되며, 이 과정을 끝으로 칩의 반도체가 형성된다. 이 반도체를 패키징하면 칩이 완성된다.

1. “A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors”; T. Ghani, M. Armstrong et al; 2003, IEEE Xplore. [↑](#footnote-ref-1)
2. “Formation of advanced silicides using single wafer rapid thermal furnace in the temperature range of 200/spl deg/ - 1000/spl deg/C”; J. Foggiato, Woo Sik Yoo, et al.; 2004, IEEE Xplore. [↑](#footnote-ref-2)
3. “Dry etching method and apparatus for manufacturing a semiconductor device”; US 5990016, 1997; Samsung Electronics Co., Ltd. [↑](#footnote-ref-3)