디지털회로 설계 과제1

<인버터 회로 설계로부터 반도체가 생산되는 과정에 관한 조사>

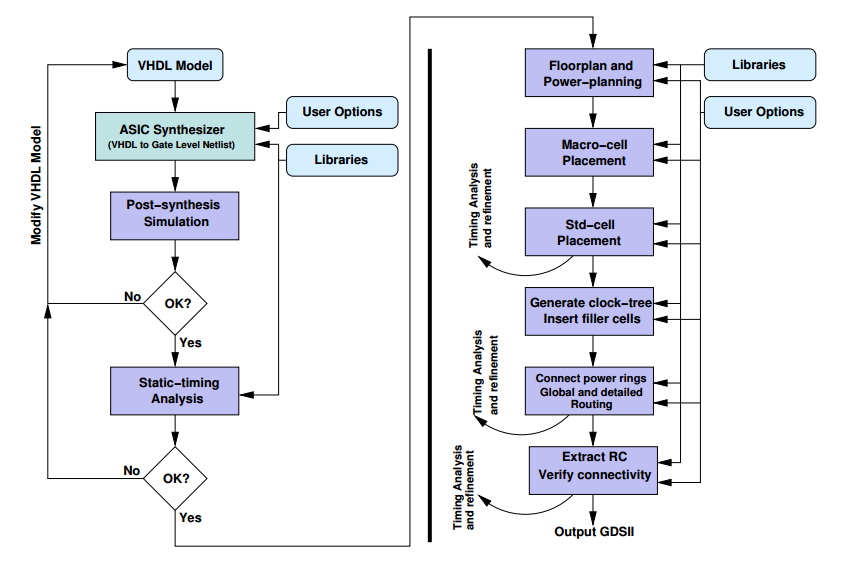
20161453 전자공학과

김규래

1. 완성된 디자인에서 GDSII까지

HDL을 통하여 다수의 시뮬레이션을 거치고 인버터 회로에 대한 설계가 완성되면, ASIC Synthesizer를 통해 HDL코드는 Gate level netlist로 변환된다.

현재 시장에서는 Synopsys Design Compiler, Cadence BuildGates, Cadence RTL Compiler Ultra 등의 ASIC Synthesizer 제품들이 나와있다. 각 제품마다 다양한 장단점들이 있다. Synopsys Design Compiler 가 가장 흔하게 사용되고 있으나, 사용과 성능면에서 Cadence RTL Compiler Ultra가 더 우세하다. 현재의 상황에서 굳이 검증된 것을 사용할 필요가 없는 만큼 Cadence RTL Compiler Ultra를 사용하는 것으로 하겠다.

Cadence RTL Compiler Ultra로 출력된 netlist로 Place & Route작업을 통해 물리적인 설계를 완성한다. 이 작업을 위한 툴들로는 Synopsys Apollo, Cadence Silicon Ensemble Family 등이 있다. 이전에 우리는 Cadence의 Synthesizer를 사용했기 때문에 사용의 편의를 위해 성능이 좋지 못하지만 Cadence Silicon Ensemble Family를 사용한다고 하겠다. 현재 만들려는 것은 CMOS 인버터가 단 하나만 들어가는 칩이다. 따라서 한 인버터 회로가 차지할 수 있는 면적이 상대적으로 여유로운 만큼 Cadence의 제품들로 툴들을 통일시키는 것의 편의성을 더 중요시 하는 걸로 하겠다. Place & Route를 과정을 거치면 결과물은 GDSII 라는 형식의 벡터 그래픽 도면으로 나온다.

Figure

<Figure 1> 현재까지의 과정을 도표로 나타낸 것이다.